

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-161084

(43)Date of publication of application : 19.06.1998

(51)Int.Cl. G02F 1/133 G09G 3/36

(21)Application number : 08-317844 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

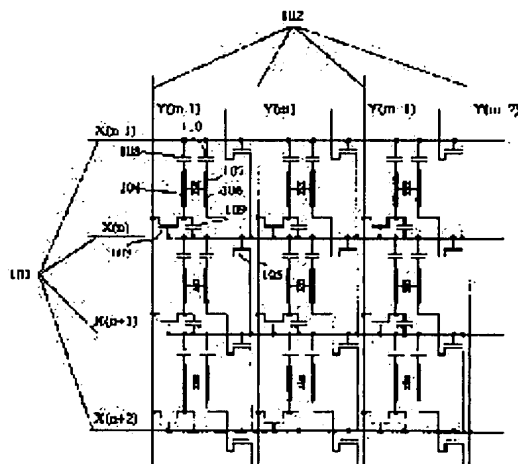
(22)Date of filing : 28.11.1996 (72)Inventor : OGISHIMA RYOICHI  
TAKUBO YONEJI  
ASADA SATOSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display device whose opening ratio is large and whose visual angle is wide and which is driven with low power consumption and to provide a driving method capable of reducing crosstalk and of suppressing DC components due to the anisotropy of dielectric constants or the like thereby preventing the occurrence of flicker in the liquid crystal display device.

**SOLUTION:** A counter signal wiring is unnecessary by transmitting a display signal potential to a pixel electrode 104 via a first TFT 103 controlling a pixel electrode potential and by impressing a counter potential from the scanning signal wiring 101 of a next stage on a counter electrode 106 via a second TFT 105 controlling a counter electrode potential. A potential compensating a tunneling voltage change due to the influence of the parasitic capacitance 109 between a gate and a drain is impressed from the scanning signal wiring 101 of a front stage on the pixel electrode 104 via an accumulation capacitance 108. Then, crosstalk is reduced and the DC component due to the anisotropy of dielectric constants is suppressed by making the center value of the amplitude of the pixel electrode potential being after the potential compensation and the center value of the amplitude of a display signal and the counter electrode potential coincide and by making the phase relation between a counter signal and the display signal reverse.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-161084

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

5 5 0

F I

C 0 2 F 1/133

C 0 9 G 3/36

5 5 0

審査請求 未請求 請求項の数15 O L (全 16 頁)

(21) 出願番号 特願平8-317844

(22) 出願日 平成8年(1996)11月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 荻島 亮一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 田窪 米治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 浅田 智

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

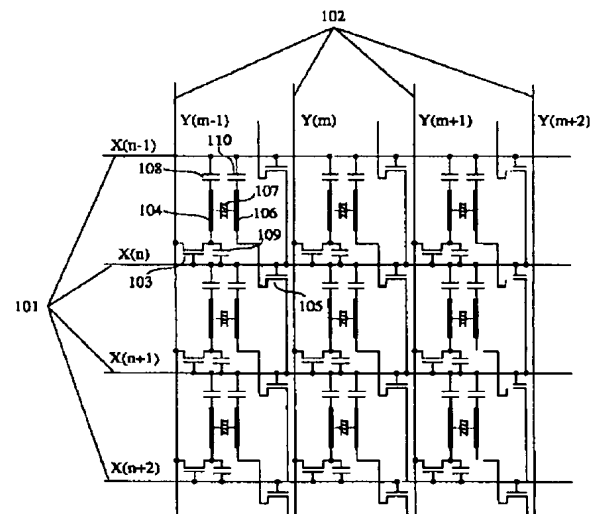
(74) 代理人 弁理士 池内 寛幸 (外2名)

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【課題】 開口率が大きく、視角が広く、低消費電力で駆動する液晶表示装置を提供し、係る液晶表示装置においてクロストークを低減し、液晶の誘電率異方性などによる直流成分を抑えてフリッカが発生しない駆動方法を提供する。

【解決手段】 画素電極電位を制御する第1のTFT103を介して表示信号電位を画素電極に伝達し、対向電極電位を制御する第2のTFT105を介して次段の走査信号配線101より対向電位を対向電極106に印加し、対向信号配線を不要とする。ゲートドレイン間の寄生容量109の影響による突き抜け電圧変化を補償する電位を蓄積容量108を介して前段の走査信号配線101より画素電極108に印加する。電位補償後の画素電極電位の振幅中心値と表示信号の振幅中心値および対向電極電位とを一致させ、対向信号と表示信号の位相関係を逆とし、クロストークを低減し、誘電率異方性などによる直流成分を抑える。



## 【特許請求の範囲】

【請求項1】 パネル基板の表面に構成された互いに交差する表示信号配線及び走査信号配線と、前記走査信号配線及び前記表示信号配線の各交点に対応してマトリクス状に配置され、走査信号によりオン・オフが制御される第1のスイッチング素子と、前記第1のスイッチング素子を介して表示信号が印加される画素電極と、前記走査信号配線及び前記表示信号配線の各交点に対応してマトリクス状に配置され、走査信号によりオン・オフが制御される第2のスイッチング素子と、前記第2のスイッチング素子を介して前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線より駆動信号が印加され、前記画素電極との間に前記パネル基板に対して略平行な電界を生ずる対向電極を具備することを特徴とする液晶表示装置。

【請求項2】 前記第1のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線と前記画素電極との間に蓄積容量を構成したことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線であって前記対向電極に駆動信号を与える走査信号配線とは別の走査配線と前記対向電極との間に容量を構成したことを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】 請求項1、2または3に記載の液晶表示装置を駆動する方法であって、信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、前記第1および第2のスイッチング素子のオン期間に、前記第1のスイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を対向電極に伝達し、前記対向電極に伝達される信号の電位がハイとローの2つの電位レベルを持ち、少なくとも1フレーム毎に、前記対向電極に伝達される信号の電位レベルが切り替わることを特徴とする液晶表示装置の駆動方法。

【請求項5】 請求項1または2に記載の液晶表示装置を駆動する方法であって、信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、前記第1および第2のスイッチング素子のオン期間に、前記第1のスイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を前記対向電極に伝達し、前記対向電極に伝達される駆動信号は一定値であることを特徴とする液晶表示装置の駆動方法。

【請求項6】 前記スイッチング素子のオフ期間に、前記画素電極との間の蓄積容量を介して走査信号配線より前記画素電極に変調信号を印加することを特徴とする請求項5記載の液晶表示装置の駆動方法。

【請求項7】 前記蓄積容量を介して画素電極に印加する変調信号による変調および前記寄生容量の影響を受けた後の前記画素電極電位の振幅の中心値が前記対向電極電位の値と同じであることを特徴とする請求項6に記載の液晶表示装置の駆動方法。

【請求項8】 パネル基板の表面に構成された互いに交差する表示信号配線及び走査信号配線と、前記走査信号配線及び前記表示信号配線の各交点に対応して少なくとも前記表示信号配線の1段毎に前記走査信号配線の上下に交互に千鳥状に構成され、走査信号によりオン・オフが制御される第1のスイッチング素子と、前記第1のスイッチング素子を介して表示信号が印加される画素電極と、前記走査信号配線と前記表示信号配線の各交点に対応してマトリクス状に配置され、走査信号によりオン・オフが制御される第2のスイッチング素子と、前記第2のスイッチング素子を介して前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線より駆動信号が印加され、前記画素電極との間に前記パネル基板に対して略平行な電界を生ずる対向電極を具備することを特徴とする液晶表示装置。

【請求項9】 前記第1のスイッチング素子の前記走査信号配線に対する接続方向に対応して、前記第1のスイッチング素子が接続されている前記走査信号配線の1段前又は1段後の走査信号配線と前記画素電極との間に蓄積容量を構成することを特徴とする請求項8に記載の液晶表示装置。

【請求項10】 前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線であって前記対向電極に駆動信号を与える走査信号配線とは別の走査配線と前記対向電極との間に容量を構成したことを特徴とする請求項8または9に記載の液晶表示装置。

【請求項11】 請求項8、9または10に記載の液晶表示装置を駆動する方法であって、信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、かつ1走査期間ごとにさらにそのレベルを反転させ、前記第1および第2のスイッチング素子のオン期間に、前記第1のスイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を対向電極に伝達し、前記対向電極に伝達される信号の電位がハイとローの2つの電位レベルを持ち、少なくとも1フレーム毎に前記対向電極に伝達される信号の電位レベルが切り替わることを特徴とする液晶表示装置の駆動方法。

【請求項12】 請求項8または9に記載の液晶表示装置を駆動する方法であって、信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、かつ1走査期間ごとにさらにそのレベルを反転させ、前記第1および第2のスイッチング素子のオン期間に、前記第1の

スイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を前記対向電極に伝達し、前記対向電極に伝達される駆動信号は一定値であることを特徴とする液晶表示装置の駆動方法。

【請求項13】 前記スイッチング素子のオフ期間に、前記画素電極との間の蓄積容量を介して走査信号配線より前記画素電極に変調信号を印加することを特徴とする請求項12記載の液晶表示装置の駆動方法。

【請求項14】 前記画素電極の電位を変調するために印加される走査配線の変調電位が、走査配線のスイッチング素子オン期間の前後で印加されることを特徴とする請求項13に記載の液晶表示装置の駆動方法。

【請求項15】 前記蓄積容量を介して画素電極に印加する変調信号による変調および前記寄生容量の影響を受けた後の前記画素電極電位の振幅の中心値が前記対向電極電位の値と同じであることを特徴とする請求項13に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】薄型、低消費電力という特徴を有する液晶表示装置は近年、ノート型コンピュータ、車載テレビ等に広く利用されており、更なる表示品質の向上が望まれている。特に、液晶ディスプレイはその構造上、視野角に課題を有しており、これらを改善するための様々な構成や駆動方法が提案されている。例えば特開平7-36058においては、液晶層を挟持した基板面に平行に電界を印加することにより広視角化を実現している。

【0003】

【発明が解決しようとする課題】しかしながら前記従来技術の構成では、その構造上、走査信号配線及び表示信号配線の他に、対向信号配線を同一基板内に必要とするため開口率の低下が避けられない。開口率の低下による輝度の低下は、バックライトの輝度を増加することにより補う必要があり、バックライトの高輝度化は消費電力増大の原因となっている。又、走査信号配線と対向信号配線を平行して構成する必要があるため、走査信号配線と対向信号配線のショートによる歩留まりの低下が問題となる。

【0004】また上記の横電界方式は視野角特性は優れているものの、構造上画素電極と対向電極間のいわゆる液晶容量が非常に小さくなるので、画素領域での画素の静電容量が小さくなる。一方、スイッチング素子のゲートドレイン間、つまり走査配線と画素電極間に生じる寄生容量による画素電極電位の歪みを受けやすくなる。これによってクロストークといった表示上の課題が発生しやすくなるという問題がある。

【0005】また液晶表示装置の駆動方法において、画素電極電位および対向電極電位は走査ごとに変位するが、その画素電極電位の変位と対向電極電位の変位がうまく補償されていない場合は液晶の誘電率異方性などによる直流成分が生じ、それがフリッカの原因となり、液晶表示装置の表示品質を低下させていた。

【0006】本発明はかかる点に鑑み、開口率が大きく、視角が広く、低消費電力、更に歩留まりの向上が可能である液晶表示装置を提供し、係る液晶表示装置においてクロストークを低減し、液晶の誘電率異方性などによる直流成分を抑えてフリッカが発生しない駆動方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明の液晶表示装置は、パネル基板の表面に構成された互いに交差する表示信号配線及び走査信号配線と、前記走査信号配線及び前記表示信号配線の各交点に対応してマトリックス状に配置され、走査信号によりオン・オフが制御される第1のスイッチング素子と、前記第1のスイッチング素子を介して表示信号が印加される画素電極と、前記走査信号配線及び前記表示信号配線の各交点に対応してマトリックス状に配置され、走査信号によりオン・オフが制御される第2のスイッチング素子と、前記第2のスイッチング素子を介して前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線より駆動信号が印加され、前記画素電極との間に前記パネル基板に対して略平行な電界を生ずる対向電極を具備することを特徴とする。

【0008】かかる構成により、対向信号配線を不要とした液晶表示装置となり、開口率が大きく、視角が広く、低消費電力、更に歩留まりの向上が可能である液晶表示装置を実現できる。

【0009】さらに本発明の液晶表示装置は、前記第1のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線と前記画素電極との間に蓄積容量を構成することが好ましい。

【0010】さらに本発明の液晶表示装置は、前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線であって前記対向電極に駆動信号を与える走査信号配線とは別の走査配線と前記対向電極との間に容量を構成することが好ましい。

【0011】かかる構成により、画素電極電位および対向電極電位を補償し、寄生容量による画素電極電位および対向電極電位の歪みの影響を低減でき、クロストークを抑えることができる。

【0012】また上記目的を達成するために本発明の液晶表示装置の駆動方法は、信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、前記第1お

よび第2のスイッチング素子のオン期間に、前記第1のスイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を対向電極に伝達し、前記対向電極に伝達される信号の電位がハイとローの2つの電位レベルを持ち、少なくとも1フレーム毎に、前記対向電極に伝達される信号の電位レベルが切り替わることを特徴とする。

【0013】かかる方法により、寄生容量の影響による変位後の画素電極電位の振幅の中心値と対向電極電位に印加する信号の振幅の中心値とが一致し、液晶の誘電率異方性などによる直流成分を抑え、フリッカを発生させることのない液晶表示装置の駆動方法が実現できる。

【0014】また上記目的を達成するために本発明の液晶表示装置の駆動方法は、信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、前記第1および第2のスイッチング素子のオン期間に、前記第1のスイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を前記対向電極に伝達し、前記対向電極に伝達される駆動信号は一定値であることを特徴とする。

【0015】さらに上記の液晶表示装置の駆動方法は、前記スイッチング素子のオフ期間に、前記画素電極との間の蓄積容量を介して走査信号配線より前記画素電極に変調信号を印加することが好ましい。

【0016】さらに上記の液晶表示装置の駆動方法は、前記蓄積容量を介して画素電極に印加する変調信号による変調および前記寄生容量の影響を受けた後の前記画素電極電位の振幅の中心値が前記対向電極電位の値と同じであることが好ましい。

【0017】かかる方法により、寄生容量による画素電極電位の歪みを補償するための変調電位を画素電極に与えることができ、クロストークを低減させることができる。また、寄生容量の影響による変位後の画素電極電位の振幅の中心値と対向電極電位に印加する信号の振幅の中心値とが一致し、液晶の誘電率異方性などによる直流成分を抑え、フリッカを発生させることのない液晶表示装置の駆動方法が実現できる。

【0018】また上記目的を達成するために本発明の液晶表示装置は、パネル基板の表面に構成された互いに交差する表示信号配線及び走査信号配線と、前記走査信号配線及び前記表示信号配線の各交点に対応して少なくとも前記表示信号配線の1段毎に前記走査信号配線の上下に交互に千鳥状に構成され、走査信号によりオン・オフが制御される第1のスイッチング素子と、前記第1のスイッチング素子を介して表示信号が印加される画素電極と、前記走査信号配線と前記表示信号配線の各交点に対応してマトリックス状に配置され、走査信号によりオン・オフが制御される第2のスイッチング素子と、前記第

2のスイッチング素子を介して前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線より駆動信号が印加され、前記画素電極との間に前記パネル基板に対して略平行な電界を生ずる対向電極を具備することを特徴とする。

【0019】かかる構成により、電位が変化する画素電極を信号配線1つおきにすることができ、さらにクロストークの低減を図ることができる。また対向信号配線を不要とした液晶表示装置となり、開口率が大きく、視角が広く、低消費電力、更に歩留まりの向上が可能である液晶表示装置を実現できる。

【0020】さらに本発明に係る液晶表示装置は、前記第1のスイッチング素子の前記走査信号配線に対する接続方向に対応して、前記第1のスイッチング素子が接続されている前記走査信号配線の1段前又は1段後の走査信号配線と前記画素電極との間に蓄積容量を構成することが好ましい。

【0021】さらに本発明の液晶表示装置は、前記第2のスイッチング素子が接続されている前記走査信号配線の少なくとも1段前又は1段後の走査信号配線であって前記対向電極に駆動信号を与える走査信号配線とは別の走査配線と前記対向電極との間に容量を構成することが好ましい。

【0022】かかる構成により、画素電極電位および対向電極電位を補償し、寄生容量による画素電極電位および対向電極電位の歪みの影響を低減でき、また電位が変化する画素電極を信号配線1つおきにすることができ、さらにクロストークの低減を図ることができる。

【0023】また上記目的を達成するために本発明の液晶表示装置の駆動方法は、前記信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、かつ1走査期間ごとにさらにそのレベルを反転させ、前記第1および第2のスイッチング素子のオン期間に、前記第1のスイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を対向電極に伝達し、前記対向電極に伝達される信号の電位がハイとローの2つの電位レベルを持ち、少なくとも1フレーム毎に前記対向電極に伝達される信号の電位レベルが切り替わることを特徴とする。

【0024】かかる方法により、寄生容量の影響による変位後の画素電極電位の振幅の中心値と対向電極電位に印加する信号の振幅の中心値とが一致し、液晶の誘電率異方性などによる直流成分を抑え、フリッカを発生させることのない液晶表示装置の駆動方法が実現できる。

【0025】また上記目的を達成するために本発明の液晶表示装置の駆動方法は、信号配線に印加する電位を隣接する信号配線毎にそのレベルを反転させ、かつ1走査期間ごとにさらにそのレベルを反転させ、前記第1およ

び第2のスイッチング素子のオン期間に、前記第1のスイッチング素子を介して前記信号配線の電位を前記画素電極に伝達し、前記第2のスイッチング素子を介して接続されている前記走査信号配線の電位を前記対向電極に伝達し、前記対向電極に伝達される駆動信号は一定値であることを特徴とする。

【0026】また上記目的を達成するために本発明の液晶表示装置の駆動方法は、前記スイッチング素子のオフ期間に、前記画素電極との間の蓄積容量を介して走査信号配線より前記画素電極に変調信号を印加することを特徴とする。

【0027】さらに上記の液晶表示装置の駆動方法は、前記画素電極の電位を変調するために印加される走査配線の変調電位が、走査配線のスイッチング素子オン期間の前後で印加されることが好ましい。

【0028】さらに上記の液晶表示装置の駆動方法は、前記蓄積容量を介して画素電極に印加する変調信号による変調および前記寄生容量の影響を受けた後の前記画素電極電位の振幅の中心値が前記対向電極電位の値と同じであることが好ましい。

【0029】かかる方法により、寄生容量による画素電極電位の歪みを補償するための変調電位を画素電極に与えることができ、また電位が変化する画素電極を信号配線1つおきにすることができ、クロストークを低減させることができる。

【0030】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて説明する。

【0031】（実施形態1）図1に本発明の実施形態1に係る液晶表示装置の等価回路を示す。101は走査信号配線、102は表示信号配線、103は第1のTFTであり、そのゲート電極は第Nライン目（Nは整数）の走査信号配線101に接続され、ソース電極は第Mライン目（Mは整数）の表示信号配線102に接続されている。104は画素電極であり第1のTFT103のドレイン電極に接続されている。105は第2のTFTであり、そのゲート電極は第Nライン目（Nは整数）の走査信号配線101に接続され、ソース電極は第n+1ライン目（Nは整数）の走査信号配線101に接続されている。106は対向電極であり第2のTFT105のドレイン電極に接続されている。107は画素電極104と対向電極106との間に形成される液晶容量（C<sub>lc</sub>）であり、108は液晶層の電荷保持能力の不足分を補償し走査信号配線101の電位変化により画素電極104に変調をかけるために、第Nライン目の第1のTFT103に接続された画素電極104と第n-1ライン目の走査信号配線101との間に形成された蓄積容量（C<sub>st</sub>）である。109は第1のTFT103のゲート電極とドレイン電極間に発生する寄生容量（C<sub>gd</sub>）、110は対向電極106に印加された電荷を保持する補助容量であ

る。この構成が表示信号配線方向及び走査信号配線方向にマトリックス状に繰り返して形成されているものとす

る。  
【0032】図2は、本実施形態1の一構成例であり、ある1画素に着目している。ここで、105aは第2のTFT105のドレイン電極、105bは第2のTFT105のソース電極、111は第2のTFTのドレイン電極105aと対向電極106を接続するコンタクトホール1、112は第2のTFTのソース電極と走査信号配線101を接続するコンタクトホール2、113は補助容量110と対向電極104を接続するコンタクトホール3である。

【0033】図3は本実施形態1における走査信号配線101と表示信号配線102における信号のタイミング関係を示した図であり、V<sub>sig(m)</sub>は表示信号配線102の第mラインにおける信号波形でありフレームによりレベルが反転している。ここでV<sub>g(n-1)</sub>は走査信号配線101の第n-1ラインにおける信号波形、V<sub>g(n)</sub>は走査信号配線101の第nラインにおける信号波形、V<sub>g(n+1)</sub>は走査信号配線101の第n+1ラインにおける信号波形である。

【0034】図4は本実施形態1における、走査信号配線101と表示信号配線102における信号波形及び、画素電極104における信号電位の関係を示した図であり、V<sub>sig(m)</sub>は表示信号配線102の第mラインにおける信号波形、V<sub>g(n)</sub>は走査信号配線101の第nラインにおける信号波形、V<sub>g(n+1)</sub>は走査信号配線101の第n+1ラインにおける信号波形、V<sub>pl</sub>は走査信号配線101の第nライン及び表示信号配線102の第mラインの交点に位置する画素電極104における電位である。

【0035】また、図3および図4において、V<sub>gon</sub>はTFTオン電位レベル、V<sub>goff</sub>はTFTオフ電位レベル、V<sub>com\_a</sub>は信号電圧がロー側の電位V<sub>s</sub>の場合に対向電極電位として与えるハイ側の電位、V<sub>com\_b</sub>は信号電圧がハイ側の電位V<sub>c</sub>の場合に対向電極電位として与えるロー側の電位である。

【0036】以上のように構成された本実施形態の液晶表示装置および駆動方法において、以下その動作を説明する。まず図3に示す駆動信号を図1に示す液晶表示装置に印加した場合の画素電極104における電圧について図4を用いて説明する。

【0037】図4の（a）の領域において、走査信号V<sub>g(n)</sub>の電位がV<sub>gon</sub>となるタイミングで、画素電極104には表示信号V<sub>c</sub>が印加され、画素電極電圧V<sub>p</sub>=V<sub>c</sub>となる。対向電極電位はX(n+1)の走査配線に印加されている電位V<sub>com\_b</sub>となっている。

【0038】次に、走査信号V<sub>g(n)</sub>の電位がV<sub>gon</sub>からV<sub>goff</sub>に変化することにより、寄生容量109を介して画素電極104の電位はΔV1変化する。

【0039】ここで、 $\Delta V1 = C_{gd} / C_{tot} \cdot (V_{gon} -$

Vgoff)である。

【0040】但し、 $C_{tot} = C_{lc} + C_{st} + C_{gd}$ とする。

【0041】よって液晶印加電圧 $V_{lc\_a}$ は、 $V_{lc\_a} = V_{com\_b} - (V_c - \Delta V_1)$ となる。

【0042】同様にして図4の(b)の領域において、走査信号 $V_g(n)$ の電位が $V_{gon}$ となるタイミングで、画素電極104には表示信号 $V_s$ が印加され、画素電極電圧 $V_p = V_s$ となる。ここで対向電極電位は $X(n+1)$ の走査配線に印加されている電位 $V_{com\_a}$ となっている。

【0043】次に、走査信号 $V_g(n)$ の電位が $V_{gon}$ から $V_{goff}$ に変化することにより、寄生容量109を介して画素電極104の電位は $\Delta V_2$ 変化する。

【0044】ここで、 $\Delta V_2 = C_{gd} / C_{tot} \cdot (V_{gon} - V_{goff}) = \Delta V_1$ となる。

【0045】よって液晶印加電圧 $V_{lc\_b}$ は、 $V_{lc\_b} = V_{com\_a} - (V_s - \Delta V_2)$ となる。

【0046】ここで、

$$V_{lc\_a} + V_{lc\_b} = 0$$

すなわち、

$$V_{com\_a} + V_{com\_b} - (V_c + V_s) + K_{tg} \cdot (V_{gon} - V_{goff}) = 0$$

ただし、 $K_{tg} = C_{gd} / C_{tot}$ とする。

【0047】上記の条件を満たす $V_{com\_a}$ 及び $V_{com\_b}$ を設定した場合には、対向電極電位 $V_{com}$ の振幅の中心と画素電極電位 $V_p$ の振幅の中心が一致し、液晶の誘電率異方性等による直流成分が生じず、フリッカのない表示を実現することができる。又、対向電極電位 $V_{com}$ と表示信号 $V_{sig}$ は互いに逆位相であるため、表示信号振幅を小さく保ったまま液晶印加電圧を大きくすることが可能であり、低消費電力化も実現できる。更に、図2に示すように対向信号配線が不要となるため、開口率の向上が可能となる。

【0048】(実施形態2)図5に本発明の第2の実施形態に係る液晶表示装置の等価回路を示す。201は走査信号配線、202は表示信号配線、203は第1のTFTであり、そのゲート電極は第Nライン目(Nは整数)の走査信号配線201に接続され、ソース電極は第Mライン目(Mは整数)の表示信号配線202に接続されている。204は画素電極であり第1のTFT203のドレイン電極に接続されている。205は第2のTFTであり、そのゲート電極は第Nライン目(Nは整数)の走査信号配線201に接続され、ソース電極は第N+1ライン目(Nは整数)の走査信号配線201に接続されている。206は対向電極であり第2のTFT205のドレイン電極に接続されている。207は画素電極204と対向電極206との間に形成される液晶容量( $C_{lc}$ )であり、208は液晶層の電荷保持能力の不足分を補償し走査信号配線201の電位変化により画素電極204に変調をかけるために、第Nライン目の第1のTFT203に接続された画素電極204と第N-1ライン目

の走査信号配線201との間に形成された蓄積容量( $C_{st}$ )である。209は第1のTFT203のゲート電極とドレイン電極間に発生する寄生容量( $C_{gd}$ )である。この構成が表示信号配線方向及び走査信号配線方向にマトリックス状に繰り返し形成されているものとする。

【0049】図6は本実施形態における走査信号配線201と表示信号配線202における信号のタイミングチャートであり、 $V_{sig}(m)$ は表示信号配線202の第mラインにおける信号波形、 $V_g(n-1)$ は走査信号配線201の第n-1ラインにおける信号波形、 $V_g(n)$ は走査信号配線201の第nラインにおける信号波形、 $V_g(n+1)$ は走査信号配線201の第n+1ラインにおける信号波形である。

【0050】図7は本実施形態における、走査信号配線201と表示信号配線202における信号波形及び、画素電極204における信号電位の関係を示した図であり、 $V_{sig}(m)$ は表示信号配線202の第mラインにおける信号波形、 $V_g(n-1)$ は走査信号配線201の第n-1ラインにおける信号波形、 $V_g(n)$ は走査信号配線201の第nラインにおける信号波形、 $V_g(n+1)$ は走査信号配線201の第n+1ラインにおける信号波形、 $V_p$ は走査信号配線201の第nライン及び表示信号配線202の第mラインの交点に位置する画素電極204における電位変化である。又、図6及び図7において $V_{gon}$ はTFTオン電位レベル、 $V_{goff}$ はTFTオフ電位レベル、 $V_e(+)$ はハイ側補償電位レベル、 $V_e(-)$ はロー側補償電位レベル、 $V_{com}$ は対向電極電位である。また、表示信号 $V_{sig}$ のレベルは1走査期間(1フレーム)毎に反転している。

【0051】以上のように構成された本実施形態の液晶表示装置において、以下その動作を説明する。まず図6に示す駆動信号を図5に示す液晶表示装置に印加した場合の、画素電極204における電位について、図7を用いて説明する。図5より、画素電極204は、蓄積容量208を介して前段の走査信号配線 $X(n-1)$ に、また寄生容量209を介して自段の走査信号配線 $X(n)$ に容量的に結合している。そのため、画素電極204における電位は、表示信号配線 $Y(m)$ より供給される表示信号電位と、蓄積容量208に接続した走査信号配線の電位変化により励起される電圧(容量結合電圧と呼ぶ)と、寄生容量209に接続した走査信号配線の電位変化により励起される電圧(突き抜け電位と呼ぶ)に依存する。また、液晶に印加される電圧は、画素電極204と、第2のTFT205を介して次段の走査信号配線 $X(n+1)$ より供給される対向信号 $V_{com}$ との電位差である。図7において、(a)はハイ側補償電位による変調、(b)はロー側補償電位による変調を示している。

【0052】ここで、図7の(a)の領域のタイミングa1においては、自段の走査信号 $V_g(n)$ の電位変化による突き抜け電圧 $\Delta V_{a1}$ が生じ画素電極204に印加され

る。

【0053】ここで、

$$\Delta Va1 = Cgd / Ctot \cdot (Ve(-) - Vgon)$$

と表せる。ただし

$$Ctot = Clc + Cst + Cgd$$

とする。次にタイミングa2においては、前段の走査信号Vg(n-1)の電位変化による容量結合電圧 $\Delta Va2$ が生じ画素電極204に印加される。ここで、

$$\Delta Va2 = Cst / Ctot \cdot (Vgoff - Ve(+))$$

と表せる。更にタイミングa3においては、自段の走査信号Vg(n)の電位変化による突き抜け電圧 $\Delta Va3$ が画素電極204に印加される。ここで、

$$\Delta Va3 = Cgd / Ctot \cdot (Vgoff - Ve(-))$$

と表せる。よって、容量結合電圧及び突き抜け電圧の合計 $\Delta Vta$ は

$$\Delta Vta = \Delta Va1 + \Delta Va2 + \Delta Va3$$

$$= Ktg (Vgoff - Vgon) + Kzg (Vgoff - Ve(+))$$

と表せる。ただし

$$Ktg = Cgd / Ctot$$

$$Kzg = Cst / Ctot$$

とする。同様に、図7の(b)の領域の、各タイミングb1~b3における電位変化 $\Delta Vb1 \sim \Delta Vb3$ はそれぞれ、

$$\Delta Vb1 = Cgd / Ctot \cdot (Ve(+) - Vgon)$$

$$\Delta Vb2 = Cst / Ctot \cdot (Vgoff - Ve(-))$$

$$\Delta Vb3 = Cgd / Ctot \cdot (Vgoff - Ve(+))$$

と表せる。よって、容量結合電圧及び突き抜け電圧の合計 $\Delta Vtb$ は

$$\Delta Vtb = \Delta Vb1 + \Delta Vb2 + \Delta Vb3$$

$$= Ktg (Vgoff - Vgon) + Kzg (Vgoff - Ve(-))$$

と表せる。ここで、

$$\Delta Vta + \Delta Vtb = 0$$

すなわち、

$$2Ktg (Vgon - Vgoff) + Kzg (2Vgoff - Ve(+) - Ve(-)) = 0$$

を満たす電位を設定した場合には、画素電極電位Vpの表示信号Vsig(m)からのハイ側への電位変化分とロー側への電位変化分の合計が0となり、画素電極電位Vpの振幅の中心、表示信号Vsig(m)の振幅の中心および対向電極電位Vcomが一致し、液晶の誘電率異方性等による直流成分が生じず、フリッカのない表示を実現することができる。また、蓄積容量を介して走査信号を画素電極に印加できるため、表示信号振幅を小さく保ったまま液晶印加電圧を大きくすることが可能なため、低消費電力化も実現できる。更に、本駆動法によれば液晶の持つ誘電率異方性により、表示信号電位Vsigの振幅が突き抜け電位などにより変化した場合、その変化直後に前記突き抜け電位の変化以上の補償電位が画素電極204の振幅方向に印加されるため、応答速度の高速化に有効である。

【0054】なお、本実施形態において、対向信号と表示信号の空間的及び時間的位置関係を逆にした場合、すなわち、接続関係を前段と後段を逆にした接続の場合であって、走査信号Vgにおいて、対向信号Vcomをゲートオン信号Vgonの直後に印加し、補償電圧Ve(+)又は、Ve(-)をゲートオン信号Vgonの直前に印加し、蓄積容量を次段の走査信号配線201に接続し、第2のTFT205のソース電極を前段の走査信号配線201に接続した場合にも同様の効果が得られる。

【0055】(実施形態3)図8に本発明の第3の実施形態に係る液晶表示装置の等価回路を示す。301は走査信号配線、302は表示信号配線、303は第1のTFTであり、そのゲート電極は第Nライン目(Nは整数)の走査信号配線301に接続され、ソース電極は第Mライン目(Mは整数)の表示信号配線302に接続されている。304は画素電極であり第1のTFT303のドレイン電極に接続されている。305は第2のTFTであり、そのゲート電極は第Nライン目(Nは整数)の走査信号配線301に接続され、ソース電極は第N-1ライン目(Nは整数)の走査信号配線301に接続されている。306は対向電極であり前段の第2のTFT305のドレイン電極に接続されている。307は画素電極304と対向電極306の間に形成される液晶容量(Clc)であり、308は液晶層の電荷保持能力の不足分を補償し走査信号配線301の電位変化により画素電極304に変調をかけるために、画素電極304と第N-1ライン目または第N+1ライン目の走査信号配線301との間に形成された蓄積容量(Cst)である。309はTFT303のゲート電極とドレイン電極間に発生する寄生容量(Cgd)である。ここで、第1のTFT303は表示信号配線302の1本毎に、走査信号配線301の上下に構成され、必然的に第1のTFTの寄生容量309も表示信号配線302の1本毎に、走査信号配線301の上下に構成される。すなわち、第nライン目の走査信号配線X(n)の上部に構成された第1のTFT303に接続された画素電極304には、その前段の走査信号配線X(n-1)に接続した蓄積容量308が接続される(以後、前段容量構成と呼ぶ)。また、第nライン目の走査信号配線X(n)の下部に構成された第1のTFT303に接続された画素電極304には、その後段の走査信号配線X(n+1)に接続した蓄積容量308が接続される(以後、後段容量構成と呼ぶ)。

【0056】図9は本実施例における走査信号配線301と表示信号配線302における信号のタイミング関係を示した図であり、Vsig(m)は表示信号配線302の第mラインにおける信号波形、Vsig(m+1)は表示信号配線302の第m+1ラインにおける信号波形、Vg(n-1)は走査信号配線301の第n-1ラインにおける信号波形、Vg(n)は走査信号配線301の第nラインにおける信号波形、Vg(n+1)は走査信号配線301の第n+1ラインにお

ける信号波形である。

【0057】図10は前段容量構成の画素に着目した場合の、走査信号配線301と、表示信号配線302における信号波形及び、画素電極304における信号電位の関係を示した図であり、 $V_{sig(m)}$ は表示信号配線302の第mラインにおける信号波形、 $Vg(n-1)$ は走査信号配線301の第n-1ラインにおける信号波形、 $Vg(n)$ は走査信号配線301の第nラインにおける信号波形、 $Vg(n+1)$ は走査信号配線301の第n+1ラインにおける信号波形、 $Vp$ は走査信号配線301の第nライン及び表示信号配線302の第mラインの交点に位置する画素電極304における電位である。

【0058】図11は後段容量構成の画素に着目した場合の、走査信号配線301と、表示信号配線302における信号波形及び、画素電極304における信号電位の関係を示した図であり、 $V_{sig(m+1)}$ は表示信号配線302の第m+1ラインにおける信号波形、 $Vg(n-1)$ は走査信号配線301の第n-1ラインにおける信号波形、 $Vg(n)$ は走査信号配線301の第nラインにおける信号波形、 $Vg(n+1)$ は走査信号配線301の第n+1ラインにおける信号波形、 $Vp$ は走査信号配線301の第nライン及び表示信号配線302の第m+1ラインの交点に位置する画素電極304における電位である。また、図9、図10および図11において、 $V_{gon}$ はTFTオン電位レベル、 $V_{goff}$ はTFTオフ電位レベル、 $V_{e(+)}$ はハイ側補償電位レベル、 $V_{e(-)}$ はロー側補償電位レベル、 $V_{com}$ は対向電極電位である。また、 $V_{sig}$ のレベルは1走査期間(1フレーム)毎および表示信号配線302の1本毎に反転している。

【0059】以上のように構成されたこの実施例の液晶表示装置において、以下その動作を説明する。まず、図8の前段容量構成部に、図9に示す信号を入力した場合について説明する。ここで、画素電極304は、蓄積容量308を介して前段の走査信号配線X(n-1)に、又寄生容量309を介して自段の走査信号配線X(n)に容量的に結合している。そのため、画素電極304における電位は、表示信号配線Y(m)より供給される表示信号 $V_{sig(m)}$ と、蓄積容量308に接続した走査信号配線X(n-1)の電位変化により励起される電圧(容量結合電圧と呼ぶ)と、寄生容量309に接続した走査信号配線X(n)の電位変化により励起される電圧(突き抜け電位と呼ぶ)に依存する。また液晶に印加される電圧は、画素電極304と、第2のTFT305を介して前段の走査信号配線X(n-2)より供給される対向信号 $V_{com}$ との電位差である。図10において、(a)はハイ側補償電位による変調、(b)はロー側補償電位による変調を示している。ここで、図10の(a)の領域のタイミングa1においては、自段の走査信号 $Vg(n)$ の電位変化による突き抜け電圧と、前段の走査信号 $Vg(n-1)$ の電位変化による容量結合電圧の和である $\Delta Va1$ が画素電極304に印加

される。ここで、

$$\Delta Va1 = C_{gd}/C_{tot} \cdot (V_{com} - V_{gon}) + C_{st}/C_{tot} \cdot (V_{e(+)} - V_{com})$$

と表せる。ただし

$$C_{tot} = C_{lc} + C_{st} + C_{gd}$$

とする。次に、タイミングa2においては、前段の走査信号 $Vg(n-1)$ の電位変化による容量結合電圧 $\Delta Va2$ が画素電極304に印加される。ここで、

$$\Delta Va2 = C_{st}/C_{tot} \cdot (V_{goff} - V_{e(+)} )$$

と表せる。タイミングa3においては、自段の走査信号 $Vg(n)$ の電位変化による突き抜け電圧 $\Delta Va3$ が画素電極304に印加される。ここで、

$$\Delta Va3 = C_{gd}/C_{tot} \cdot (V_{e(-)} - V_{com})$$

となる。更にタイミングa4において、自段の走査信号 $Vg(n)$ の電位変化による突き抜け電圧 $\Delta Va4$ が画素電極304に印加される。ここで、

$$\Delta Va4 = C_{gd}/C_{tot} \cdot (V_{goff} - V_{e(-)} )$$

と表せる。よって、容量結合電圧及び突き抜け電圧の合計 $\Delta Vta$ は

$$\begin{aligned} \Delta Vta &= \Delta Va1 + \Delta Va2 + \Delta Va3 + \Delta Va4 \\ &= K_{tg} (V_{goff} - V_{gon}) + K_{zg} (V_{goff} - V_{com}) \end{aligned}$$

と表せる。ただし

$$K_{tg} = C_{gd}/C_{tot}$$

$$K_{zg} = C_{st}/C_{tot}$$

とする。同様にして、図10の(b)の領域の各タイミングb1～b4における電位変化 $\Delta Vb1 \sim \Delta Vb4$ はそれぞれ、

$$\Delta Vb1 = C_{gd}/C_{tot} \cdot (V_{com} - V_{gon}) + C_{st}/C_{tot} \cdot (V_{e(-)} - V_{com})$$

$$\Delta Vb2 = C_{st}/C_{tot} \cdot (V_{goff} - V_{e(-)} )$$

$$\Delta Vb3 = C_{gd}/C_{tot} \cdot (V_{e(+)} - V_{com})$$

$$\Delta Vb4 = C_{gd}/C_{tot} \cdot (V_{goff} - V_{e(+)} )$$

となる。よって、容量結合電圧及び突き抜け電圧の合計 $\Delta Vtb$ は

$$\begin{aligned} \Delta Vtb &= \Delta Vb1 + \Delta Vb2 + \Delta Vb3 + \Delta Vb4 \\ &= K_{tg} (V_{goff} - V_{gon}) + K_{zg} (V_{goff} - V_{com}) \end{aligned}$$

と表せる。

【0060】次に、図8の後段容量構成部に、図9に示す信号を入力した場合について説明する。ここで、画素電極304は、蓄積容量308を介して次段の走査信号配線X(n+1)に、また寄生容量309を介して自段の走査信号配線X(n)に容量的に結合している。そのため、画素電極304における電位 $Vp$ は、表示信号配線Y(m+1)より供給される表示信号電位と、蓄積容量308に接続した走査信号配線X(n+1)の電位変化により励起される電圧(容量結合電圧と呼ぶ)と、寄生容量309に接続した走査信号配線X(n)の電位変化により励起される電圧(突き抜け電位と呼ぶ)に依存する。また、液晶に印加される電圧は、画素電極304と、第2のTFT305を介して前段の走査信号配線X(n-1)より供給され

る対向信号 $V_{com}$ との電位差である。図11において、(c)はハイ側補償電位による変調、(d)はロー側補償電位による変調を示している。

【0061】ここで、図11の(c)の領域のタイミングc1においては次段の走査信号 $V_{g(n-1)}$ の電位変化による容量結合電圧と自段の走査信号 $V_{g(n)}$ の電位変化による突き抜け電圧の和である $\Delta V_{1c}$ が画素電極304に印加される。

$$\Delta V_{1c} = C_{gd}/C_{tot} \cdot (V_{com} - V_{gon}) + C_{st}/C_{tot} \cdot (V_{gon} - V_{e(-)})$$

タイミングc2においては、次段の走査信号 $V_{g(n+1)}$ の電位変化による容量結合電圧と、自段の走査信号配線 $V_{g(n)}$ の電位変化による突き抜け電圧の和である $\Delta V_{2c}$ が画素電極304に印加される。

$$\Delta V_{2c} = C_{gd}/C_{tot} \cdot (V_{e(-)} - V_{com}) + C_{st}/C_{tot} \cdot (V_{com} - V_{gon})$$

タイミングc3においては、自段の走査信号 $V_{g(n)}$ の電位変化による突き抜け電圧 $\Delta V_{3c}$ が画素電極304に印加される。ここで、

$$\Delta V_{3c} = C_{gd}/C_{tot} \cdot (V_{goff} - V_{e(-)})$$

タイミングc4においては、次段の走査信号 $V_{g(n+1)}$ の電位変化による容量結合電圧 $\Delta V_{4c}$ が画素電極304に印加される。

【0064】 $\Delta V_{4c} = C_{st}/C_{tot} \cdot (V_{e(+)} - V_{com})$   
更にタイミングc5においては、次段の走査信号 $V_{g(n+1)}$ の電位変化による容量結合電圧 $\Delta V_{5c}$ が画素電極304に印加される。

【0065】

$$\Delta V_{5c} = C_{st}/C_{tot} \cdot (V_{goff} - V_{e(+)})$$

よって、容量結合電圧及び突き抜け電圧の合計 $\Delta V_{tc}$ は  
 $\Delta V_{tc} = \Delta V_{1c} + \Delta V_{2c} + \Delta V_{3c} + \Delta V_{4c} + \Delta V_{5c}$   
 $= K_{tg} (V_{goff} - V_{gon}) + K_{zg} (V_{goff} - V_{e(-)})$   
と表せる。ただし

$$K_{tg} = C_{gd}/C_{tot}$$

$$K_{zg} = C_{st}/C_{tot}$$

とする。同様にして、図11の(b)の領域の、各タイミングd1～d4における電位変化 $\Delta V_{d1} \sim \Delta V_{d4}$ はそれぞれ、

$$\Delta V_{d1} = C_{gd}/C_{tot} \cdot (V_{com} - V_{gon}) + C_{st}/C_{tot} \cdot (V_{gon} - V_{e(+)})$$

$$\Delta V_{d2} = C_{gd}/C_{tot} \cdot (V_{e(+)} - V_{com}) + C_{st}/C_{tot} \cdot (V_{com} - V_{gon})$$

$$\Delta V_{d3} = C_{gd}/C_{tot} \cdot (V_{goff} - V_{e(+)})$$

$$\Delta V_{d4} = C_{st}/C_{tot} \cdot (V_{e(-)} - V_{com})$$

$$\Delta V_{d5} = C_{st}/C_{tot} \cdot (V_{goff} - V_{e(-)})$$

となる。よって、容量結合電圧及び突き抜け電圧の合計 $\Delta V_{td}$ は

$$\Delta V_{td} = \Delta V_{d1} + \Delta V_{d2} + \Delta V_{d3} + \Delta V_{d4} + \Delta V_{d5}$$

$$= K_{tg} (V_{goff} - V_{gon}) + K_{zg} (V_{goff} - V_{e(+)})$$

と表せる。ここで、

$$\Delta V_{ta} + \Delta V_{tb} = 0$$

及び、

$$\Delta V_{tc} + \Delta V_{td} = 0$$

すなわち、

$$2K_{tg} (V_{goff} - V_{gon}) + K_{zg} (2V_{goff} - V_{e(-)} - V_{e(+)}) = 0$$

を満たす電位を設定した場合には、表示信号 $V_{sig}$ の振幅の中心と画素電極電位 $V_p$ の振幅の中心及び対向電極電位 $V_{com}$ が一致し、液晶の誘電率異方性等による直流成分が生じず、フリッカのない表示を実現することができると同時に、高速応答化に効果的であり、更に、隣り合う表示信号配線302の信号のレベルを反転していることにより、クロストークの減少に効果的である。

【0066】(実施形態4)図12に本発明の第4の実施形態に係る液晶表示装置の等価回路を示す。図12において、401は表示信号をラッチするラッチ回路、402は1水平走査期間タイミングをずらすバッファメモリ、403は出力回路、404は表示信号配線、405は垂直駆動回路、406は走査信号配線である。本実施形態が第2の実施形態と異なっている点は、表示信号配線1本毎にバッファメモリ402を有することである。バッファメモリ402により、表示信号配線1本毎に表示信号のタイミングは1水平走査期間分遅延するため、TFTを千鳥状に構成した場合においても、上下のズレのない正常な画像を表示することが可能である。

【0067】

【発明の効果】以上説明したように、本発明の液晶表示装置は、対向電極配線が不要となり、開口率が大きくなる。スイッチング素子の構成位置関係を、表示信号配線及び走査信号配線各交点に対応して少なくとも前記表示信号配線の1段毎に前記走査信号配線の上下に交互に千鳥状に構成する関係にすることにより、電位が変化する画素電極を信号配線1つおきにすることができ、クロストークの低減を図ることができる。また本発明の液晶表示装置の駆動方法により画素電極電位および対向電極電位を補償し、寄生容量による画素電極電位および対向電極電位の歪みの影響を低減でき、クロストークを抑えることができる。さらに、前記蓄積容量を介して画素電極に印加する変調信号による変調および前記寄生容量の影響を受けた後の前記画素電極電位の振幅の中心値が一定値である対向電極電位の値と同じものとするこにより、寄生容量の影響による変位後の画素電極電位の振幅の中心値と対向電極電位に印加する信号の振幅の中心値とが一致し、液晶の誘電率異方性などによる直流成分を抑え、フリッカを発生させることのない液晶表示装置の駆動方法が実現できる。

【図面の簡単な説明】

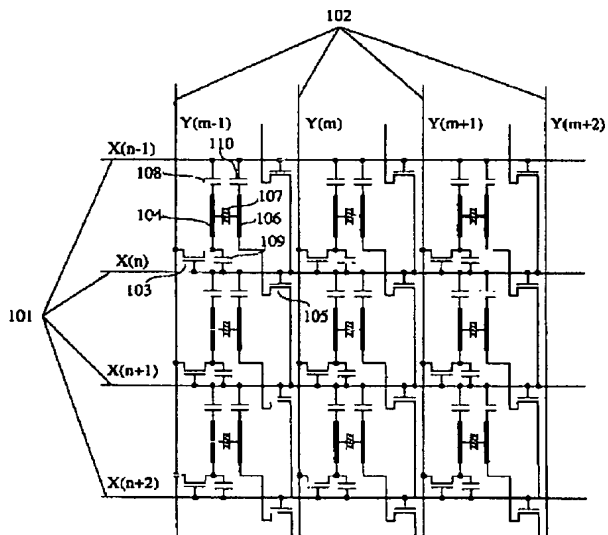
【図1】本発明の第1の実施形態における液晶表示装置の等価回路。

【図2】同実施形態における液晶表示装置の一構成例

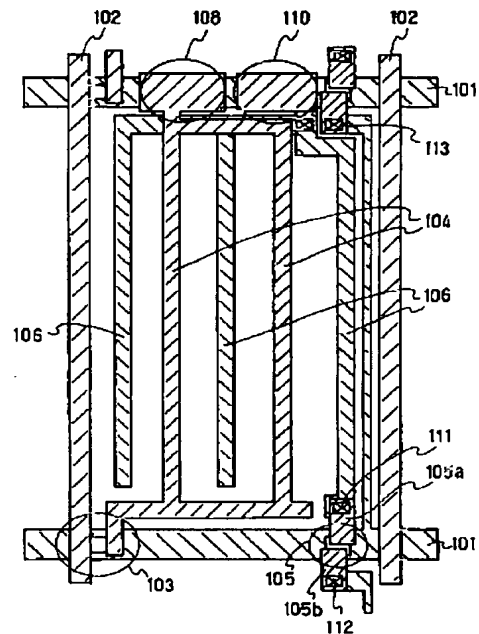
【図3】同実施形態の動作説明図  
 【図4】同実施形態の動作説明図  
 【図5】本発明の第2の実施形態における液晶表示装置の等価回路。  
 【図6】同実施形態の動作説明図。  
 【図7】同実施形態の動作説明図。  
 【図8】本発明の第3の実施形態における液晶表示装置の等価回路。  
 【図9】同実施形態の動作説明図。  
 【図10】同実施形態の動作説明図。  
 【図11】同実施形態の動作説明図。  
 【図12】本発明の第4の実施形態における液晶表示装置の等価回路。  
 【符号の説明】  
 101, 201, 301 走査信号配線  
 102, 202, 302 表示信号配線  
 103, 203, 303 第1のTFT  
 104, 204, 304 画素電極

105, 205, 305 第2のTFT  
 105a 第2のTFT105のドレイン電極  
 105b 第2のTFT105のソース電極  
 106, 206, 306 対向電極  
 107, 207, 307 液晶容量  
 108, 208, 308 蓄積容量  
 109, 209, 309 寄生容量  
 110 補助容量  
 111 コンタクトホール1  
 112 コンタクトホール2  
 113 コンタクトホール3  
 401 ラッチ回路  
 402 バッファメモリ  
 403 出力回路  
 404 表示信号配線  
 405 垂直駆動回路  
 406 走査信号配線

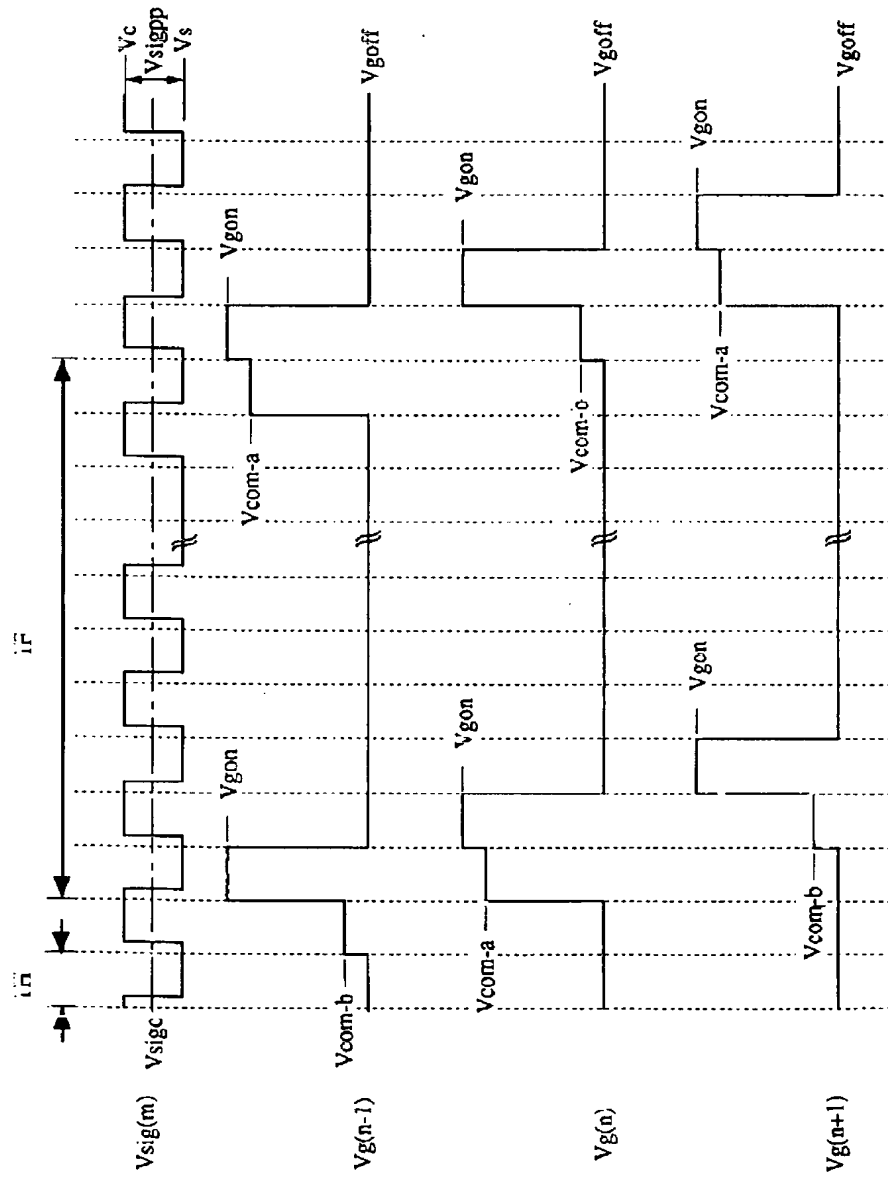
【図1】



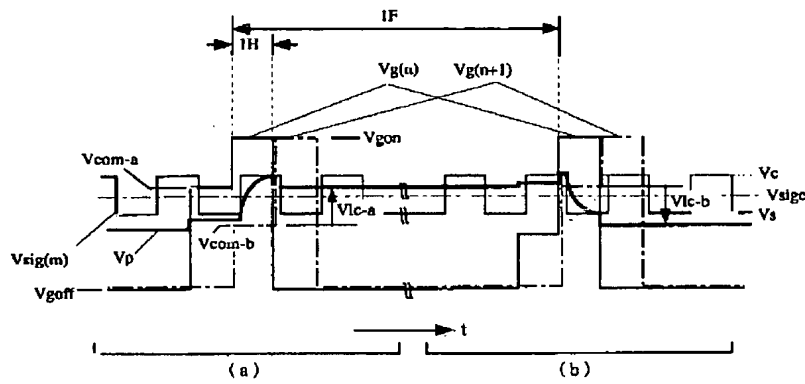
【図2】



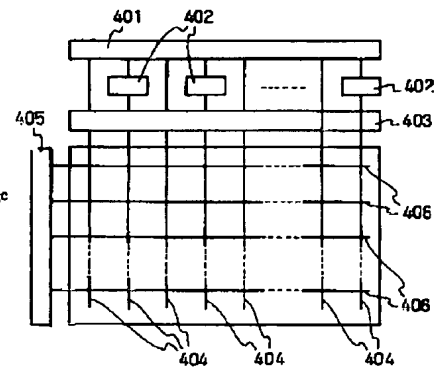
【図3】



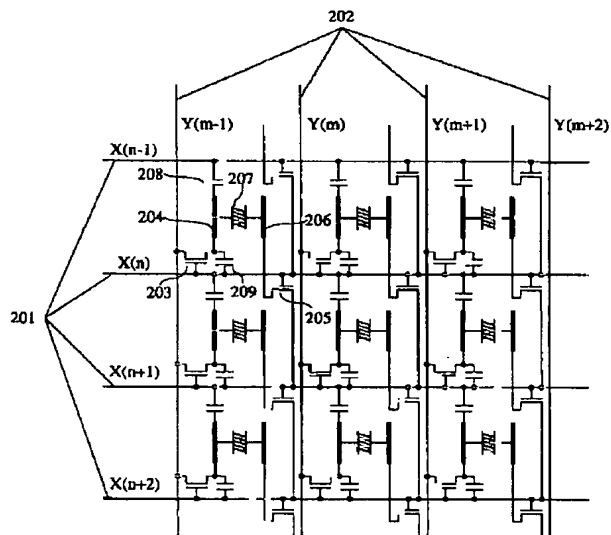
【図4】



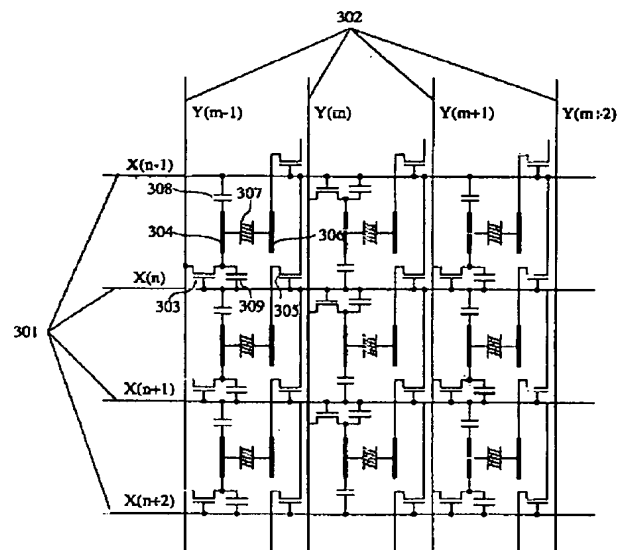
【図12】



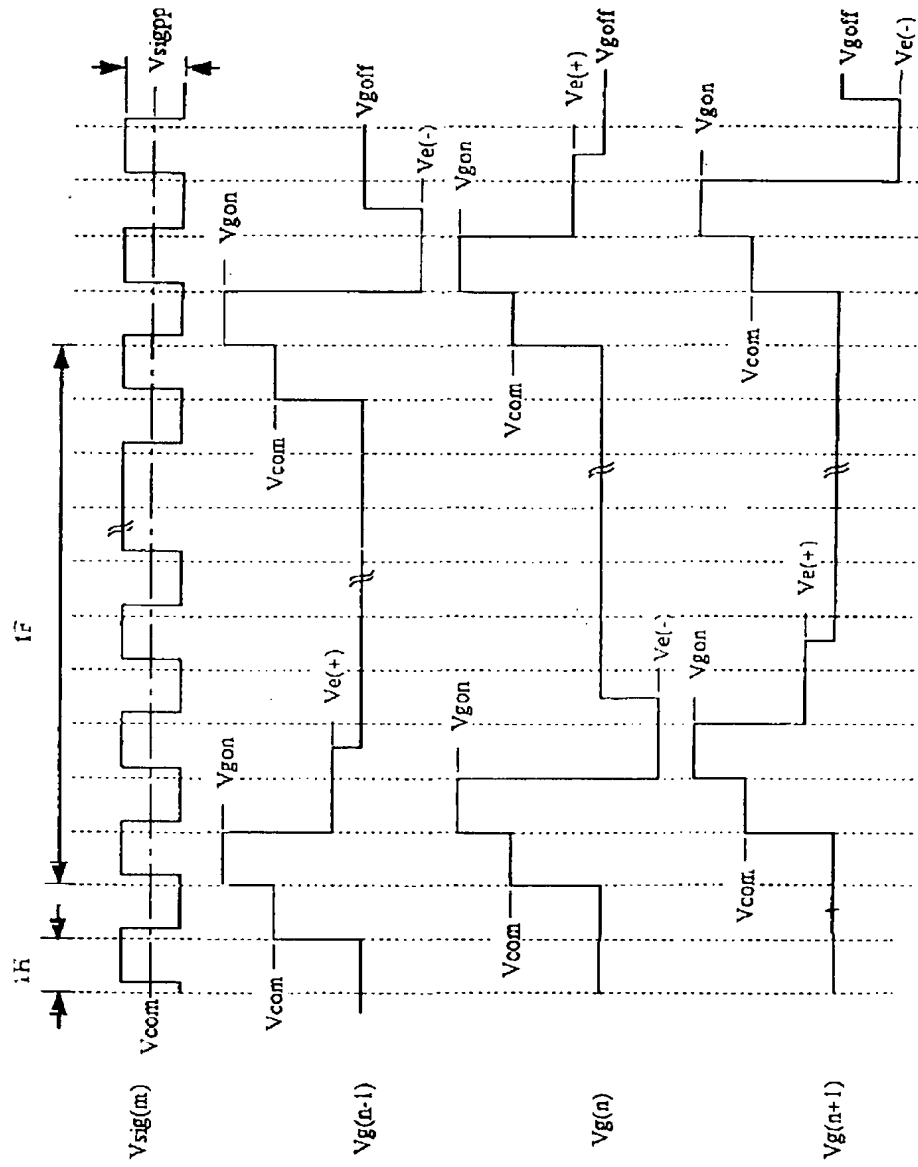
【図5】



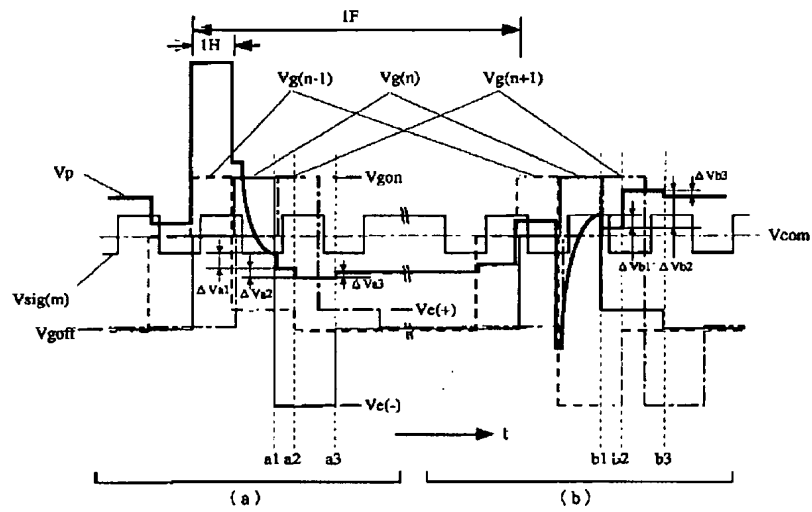
【図8】



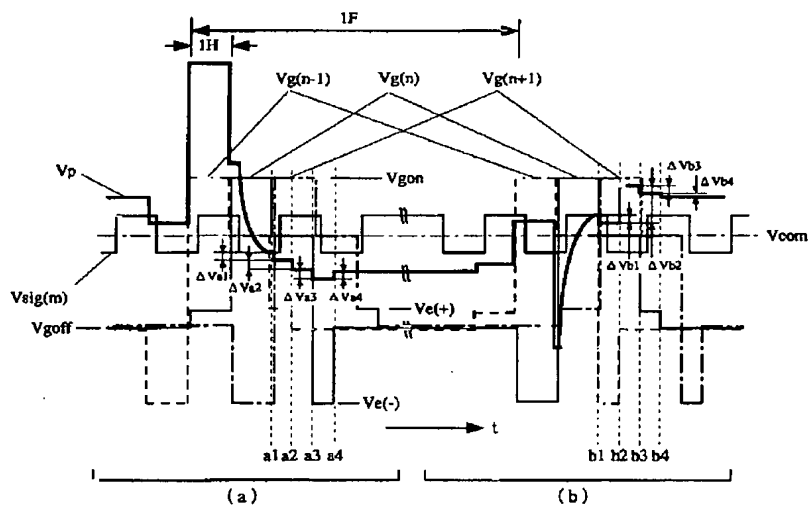
【図6】



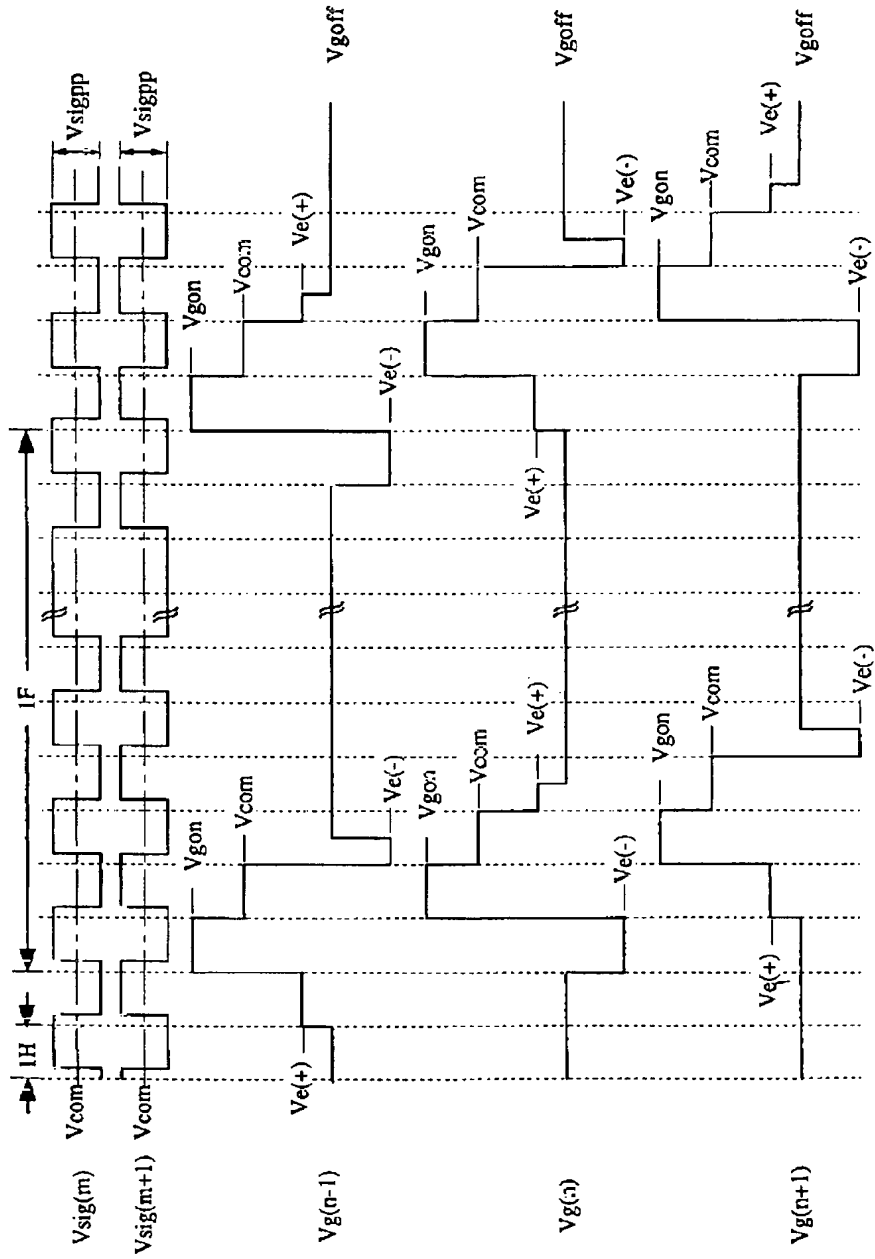
【図7】



【図10】



【図9】



【図11】

